

FAMOS SEMICONDUCTOR DEVICE

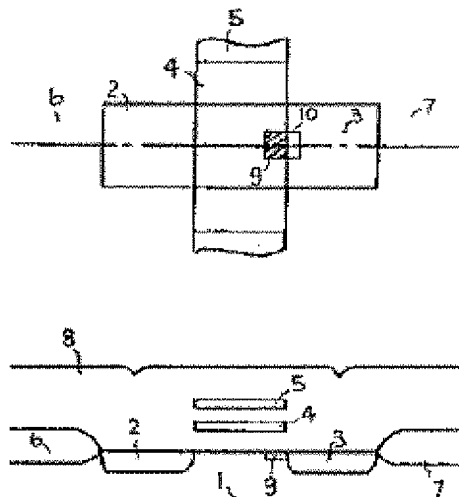
Patent number: JP4079270
Publication date: 1992-03-12
Inventor: MARUYAMA AKIRA
Applicant: SEIKO EPSON CORP
Classification:
- international: **H01L21/8247; H01L27/115; H01L29/788; H01L29/792;
H01L21/70; H01L27/115; H01L29/66; (IPC1-7):
H01L27/115; H01L29/788; H01L29/792**
- european:
Application number: JP19900192706 19900720
Priority number(s): JP19900192706 19900720

[Report a data error here](#)

Abstract of JP4079270

PURPOSE: To prevent the deterioration of write characteristics even in the case where a threshold voltage of a FAMOS is lowered by forming a region having a higher impurity density than a substrate in a part of a junction of a drain section and a channel section.

CONSTITUTION: First, ion having conductivity the same as the conductivity with a substrate and an impurity density that is higher than that of the substrate is implanted into a region 10 on the substrate 1. Then, a floating gate 4 and a control gate 5 are formed. Next, ion having such an impurity with conductivity opposite to that of the substrate is implanted into a drain section 3 and a source section 2. In this case, an impurity density of the drain section 3 is two or three digits higher than that of the region 10. Therefore, an overlapped area of the region 10 and the drain section is an impurity region of the drain section since an impurity of a region 9 is negated by that of the drain section. Therefore, a region having conductivity the same conductivity with the substrate and an impurity density higher than that of the substrate is the region 9. When the region 9 such as this exists, the width of a depletion layer near the drain section can be made narrow at the time of writing for placing hot electrons in the higher field even in the case that the density of the substrate is decreased for lowering a threshold voltage of a FAMOS.



Data supplied from the esp@cenet database - Worldwide

Family list**1** family member for: **JP4079270**

Derived from 1 application

1 FAMOS SEMICONDUCTOR DEVICE**Inventor:** MARUYAMA AKIRA**Applicant:** SEIKO EPSON CORP**EC:****IPC:** H01L21/8247; H01L27/115; H01L29/788
(+7)**Publication info:** JP4079270 A - 1992-03-12Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-79270

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月12日

H 01 L 29/788
27/115
29/792

7514-4M H 01 L 29/78 3 7 1
8831-4M 27/10 4 3 4

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 FAMOS型半導体装置

⑯ 特 願 平2-192706

⑰ 出 願 平2(1990)7月20日

⑱ 発 明 者 丸 山 明 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

FAMOS型半導体装置

2. 特許請求の範囲

FAMOS型トランジスタにおいて、基板と同じ伝導性を有する不純物を該基板よりも高い濃度で有する領域を、該領域の少なくとも一部はチャネル部にあり、該領域の少なくとも一部はドレイン部に接合し、該ドレイン部と該チャネル部の接合部には少なくとも該領域が存在しない部分を有する位置に設けたことを特徴とするFAMOS型半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、電氣的にデータの書き込みが可能な不揮発性半導体メモリの構造に関する。

〔従来の技術〕

従来の電氣的にデータの書き込みが可能な不揮発性半導体メモリ(以下、EPROMと記す)の構造はFAMOS(Floating Gate Avalanche Injection MOS)として知られている。第4図にその平面図、第5図にその断面図を示す。データの書き込みは、コントロールゲート5とドレイン3に高電圧を印加することで行なわれる。即ち、ドレイン-基板間にはドレイン接合部のアバランシェブレークダウンが発生するに十分な電圧が印加されると同時に、コントロールゲートにも高電圧が印加されているために、アバランシェブレークダウンによって発生したホットキャリアのうちホットエレクトロンのみが選択的にフローティングゲート4中に注入される。その結果、FAMOSのしきい値電圧が増加しデータの書き込みが行われる。

〔発明が解決しようとする課題〕

従来のFAMOSでは書き込み特性の劣化を防ぐため、基板の不純物濃度を高くする必要があり、書き込み前のFAMOSのしきい値電圧が高くな

っていた。このことはE P R O Mの動作電源電圧の下限を高めることになり、E P R O Mの低電源電圧動作化を困難にしていた。

そこで本発明はこの様な課題を解決すべく、F A M O Sの書き込み前のしきい値電圧を低くした場合でも、F A M O Sの書き込み特性の劣化を抑えることで、E P R O Mの低電源電圧動作化を可能とすることを目的とする。

〔課題を解決するための手段〕

本発明のF A M O S型半導体装置は、F A M O S型トランジスタにおいて、基板と同じ伝導性を有する不純物を該基板よりも高い濃度で有する領域を、該領域の少なくとも一部はチャネル部にあり、該領域の少なくとも一部はドレイン部に接合し、該ドレイン部と該チャネル部の接合部には少なくとも該領域が存在しない部分を有する位置に設けたことを特徴とする。

〔作用〕

本発明の上記の構成によれば、ドレイン部とチャネル部の接合部の一部に基板よりも高い不純物

イン部の不純物で打ち消されるためドレイン部の不純物領域となる。したがって、基板と同じ伝導性で基板よりも高い不純物濃度をもつ領域は領域9となる。

さて、この様にドレイン部とチャネル部の接合部の一部に基板よりも高い領域9があると、基板濃度を薄くしてF A M O Sのしきい値電圧を下げた場合でも、この特性を維持したままで、書き込み時にドレイン近傍の空乏層幅を短かくしホットエレクトロンをより高電界におくことができる。その結果、ホットエレクトロンのフローティングゲートへの注入効率を上げることができ、書き込み特性の劣化を防ぐことが可能となる。

第3図は本発明の第2の実施例を示す平面図である。この場合は基板よりも高い不純物濃度をもつ領域9をチャネル部の端に設けているが、第1の実施例と同様の効果があるのは容易に理解できるであろう。

〔発明の効果〕

以上述べた様に本発明によれば、F A M O Sの

濃度をもつ領域を設けたことで、F A M O Sのしきい値電圧を低くした場合でもF A M O Sの書き込み特性の劣化を抑えることができる。

〔実施例〕

本発明の第1の実施例を第1図、第2図に示す。第1図は平面図、第2図は断面図である。1は基板、2はソース、3はドレイン、4はフローティングゲート、5はコントロールゲート、6、7、8は絶縁膜である。また9は基板よりも高い不純物濃度をもつ領域であり、10はそのイオン打ち込み領域である。

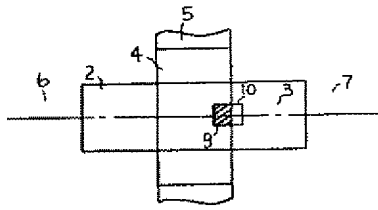
製造方法を説明すると、まず基板1上に基板と同じ伝導性で基板よりも高い不純物濃度をもつイオンを領域10に注入する。次にフローティングゲート4、コントロールゲート5を形成する。その後ドレイン部3、ソース部2に基板とは逆の伝導性の不純物をもつイオンを注入する。この場合ドレイン部の不純物濃度は領域10の不純物濃度よりも2〜3ケタ程度高いため、領域10とドレイン部とが重なった部分は領域9の不純物がドレ

基板の不純物濃度を下げて、F A M O Sの書き込み前のしきい値電圧を低くした場合でも、F A M O Sの書き込み特性の劣化を抑えることができる。そのためE P R O Mの低電源電圧動作化が可能となった。

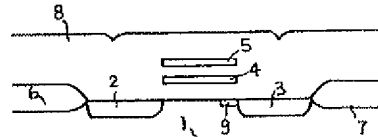
4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す平面図。第2図は本発明の第1の実施例を示す断面図。第3図は本発明の第2の実施例を示す平面図。第4図は従来のF A M O Sを示す平面図。第5図は従来のF A M O Sを示す断面図。

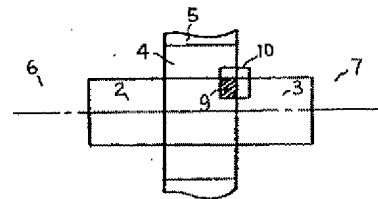
- 1…基板
- 2…ソース
- 3…ドレイン
- 4…フローティングゲート
- 5…コントロールゲート
- 6, 7, 8…絶縁膜
- 9…基板よりも高い不純物濃度をもつ領域
- 10…9のイオン打ち込み領域



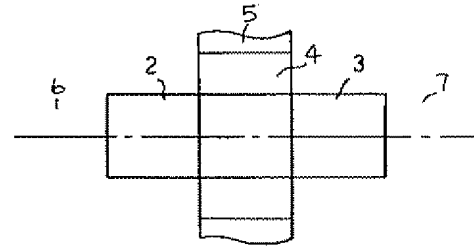
第1図



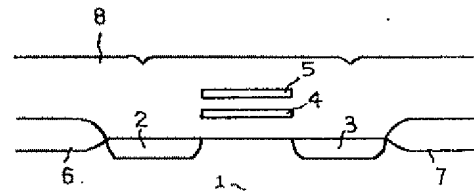
第2図



第3図



第4図



第5図